

(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10039328 A

(43) Date of publication of application: 13.02.98

(51) Int. Cl. G02F 1/136

(21) Application number: 08190994

(22) Date of filing: 19.07.96

(71) Applicant: NEC CORP

(72) Inventor: KUROBA SHOICHI
WATANABE TAKAHIKO
KANEKO WAKAHIKO
SUKEGAWA OSAMU

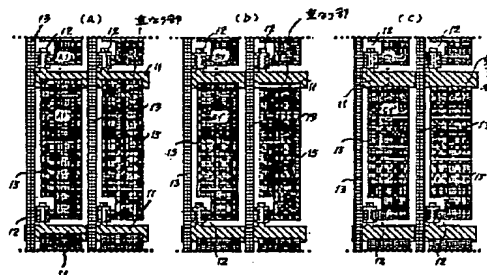
(54) LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of the display burn, stains, etc., of a liquid crystal panel by the variations in the resistances of gate signal lines in a display surface as the influence of the resistance from gate signal input terminals to respective pixel electrodes increases accompanying the increase in the opening of the liquid crystal panel.

SOLUTION: The respective pixel electrodes 15 formed together with the gate signal lines 11, drain signal lines 13 and TFTs 12 on the TFT substrate of the liquid crystal panel are additively provided with auxiliary capacitors. These auxiliary capacitors are so constituted that the capacitance values thereof diminish as the capacitors part further from the input terminals of the gate signal lines 11 connected to the respective pixel electrodes 15. For example, the auxiliary capacitors are added by the opposite areas of the adjacent gate signal lines 11 of the TFTs of the previous stage and the pixel electrodes 15 opposite to these gate signal lines. The storage capacity is made smaller the further from a gate signal input section in the respective pixel electrodes and the field-through voltage components within the display screen is made uniform. The suppression of the display bur and stains within the entire display screen of the display panel is thus made possible.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-39328

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl.⁸

G 0 2 F 1/136

識別記号

5 0 0

庁内整理番号

F I

G 0 2 F 1/136

5 0 0

技術表示箇所

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平8-190994

(22) 出願日

平成8年(1996) 7月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 黒羽 昇一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 渡邊 貴彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 金子 若彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 鈴木 章夫

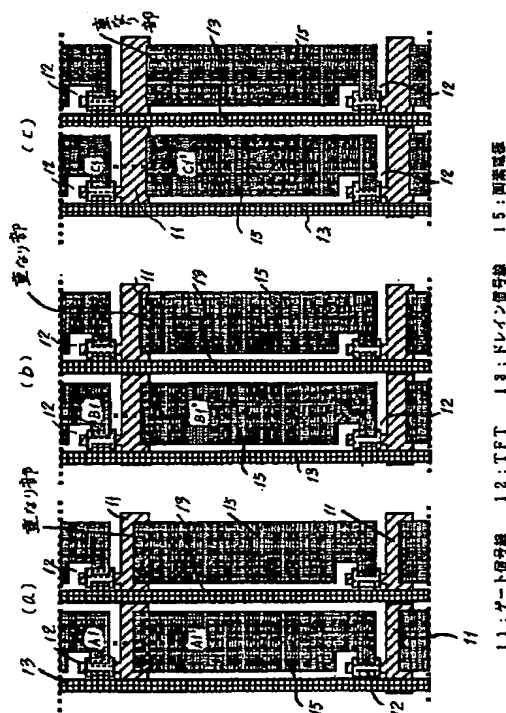
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶パネルの大開口化に伴い、ゲート信号入力端から各画素電極までにおけるゲート信号線の抵抗の影響が大きくなり、表示面内ばらつきによる、液晶パネルの表示焼き付け、シミ等が生じる。

【解決手段】 ゲート信号線11、ドレイン信号線13、TFT12と共に液晶パネルのTFT基板に形成される複数の画素電極15のそれぞれに付加的に補助容量が設けられ、この補助容量は各画素電極15に接続されるゲート信号線11の入力端から離れるに従ってその容量値が小さくなるように構成する。例えば、前段のTFTの隣接ゲート信号線11と、このゲート信号線に対向される画素電極15の対向面積により補助容量を付加する。各画素電極においてはゲート信号入力部から離れるにしたがってストレージ容量が小さくされ、表示画面内のフィードスルー電圧成分は均一化され、表示パネルの全表示画面内における表示焼き付きやシミを抑えることが可能となる。



【特許請求の範囲】

【請求項1】 ゲート信号線とドレイン信号線とがマトリクス状に配列され、これら信号線の交差位置にそれぞれ薄膜トランジスタ（以下、TFTと示す）と画素電極とが形成されたTFT基板と、このTFT基板に微小間隔で対向される対向電極を有する対向電極基板と、前記TFT基板と対向電極基板との間隙に液晶材料が挟持された液晶表示装置において、前記複数の画素電極のそれぞれに付加的に設けられる補助容量は、前記ゲート信号線の入力端から離れるに従ってその容量値が小さくなるように構成したことを特徴とする液晶表示装置。

【請求項2】 各画素電極ごとに付加的に設けられる補助容量が、先に駆動される隣接ゲート信号線と、このゲート信号線に対向される画素電極の対向面積により設定され、この対向面積がゲート信号線の入力端から離れるのに従って小さくされる請求項1の液晶表示装置。

【請求項3】 各画素電極ごとに付加的に設けられる補助容量が、ゲート信号線に沿って設けられた補助容量線と、この補助容量線に対向される画素電極の対向面積により設定され、この対向面積がゲート信号線の入力端から離れるのに従って小さくされる請求項1の液晶表示装置。

【請求項4】 補助容量線を透明導電膜で形成してなる請求項3の液晶表示装置。

【請求項5】 補助容量線と画素電極との対向面積の面積変化領域を両基板間に設けられた遮光層領域内で行う請求項3の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はTFTをスイッチング素子としてアクティブマトリクス液晶パネルを備える液晶表示装置に関し、特に表示面内でのばらつきを抑制して表示品質を高めた液晶表示装置に関する。

【0002】

【従来の技術】基板表面上にマトリクス状に配置された画素電極の各々にTFTを付加したアクティブマトリクス型液晶パネルは、近年になり極性反転駆動の採用等により、コントラストや動画に対する応答速度等の表示品質が向上したため、携帯型パソコンやデスクトップパソコン

$$V_{FD} = [C_{GS} / (C_{LC} + C_{SC} + C_{GS})] \cdot \Delta V_G \quad \dots (1)$$

【0005】一方、ゲート配線抵抗によりゲートパルスの立ち下がりがなまると、TFTがオフになるまでの期間に、ソース電極からドレイン配線に電流が流れ込む。

$$V_{FD} = (C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC} + C_{GS}) \quad \dots (2)$$

ここで、 $\int I_{DS} dt$ はゲートパルスなまりに比例することから、ゲートパルス入力側では $\int I_{DS} dt \approx 0$ となる。よって、表示画面でゲートパルス入力側とその反対

$$\Delta V_{FD} = \int I_{DS} dt / (C_{LC} + C_{SC} + C_{GS}) \quad \dots (3)$$

【0006】このようなフィードスルー電圧成分の表示画面内均一化を実施する方法としては、まずゲートパル

コンのモニタまたは投写型モニタ等幅広く利用されるようになった。しかし、大画面化、高精細化及び高開口率化が進むことで、ゲート配線幅縮小化、ゲート配線長増大等が必然的となり、ゲート配線抵抗の増大は不可避となった。このようなゲート配線の抵抗値の増加が生じると、配線および画素電極には容量が存在しているため、ゲートパルスが入力された際には波形のなまりを生ずるが、ゲートパルスの入力端から離れるにしたがって抵抗値が大きくなるために、パルス波形のなまりもゲートパルスの入力端から離れるにしたがって大きくなる。例えば、図1のような液晶パネル1の図示左辺と下辺にそれぞれ信号入力部2、3が配置され、左辺がゲート信号入力部2として構成されている場合には、表示画面のc点、b点、a点の順、あるいはC点、B点、A点の順でゲートパルスの入力端から離れることになり、抵抗値が大きくなる。

【0003】この結果、ゲートパルスのなまりの違いに対応してゲートパルスがオフになる際に生じる画素電極の電位の変動、すなわちフィードスルー電圧成分が異なるようになり、ゲートパルス入力側から離れるとともにフィールドスルー値は小さくなる。このような、フィールドスルー値の表示画面内での差が大きくなると、焼き付け、シミ等が発生し画素劣化の原因となる。このため、従来は、表示画面内でフィードスルーの分布が最小になるように、例えば表示画面中央部でフィードスルーによるドレイン信号オフセット値の落ち込みに合わせて対向電圧値を下げて調整を行っていたが、表示部中央で調整しても表示部周辺では液晶に直流成分が印加されるようになり、前記した画素劣化を有効に解消することは困難である。

【0004】ここで、ゲートパルス波形のなまりによりフィードスルー電圧が変化する理由を述べる。図12に画素部における等価回路図を示すように、フィードスルー電圧 V_{FD} は、ゲート信号線11、ドレイン信号線13に接続されるTFT12のゲート・ソース間容量 C_{GS} と、液晶容量 C_{LC} 、ストレージ容量 C_{SC} 、及びゲートパルス振幅 ΔV_G を使って、近似的に以下のように表される。

その総量 $\int I_{DS} dt$ を考慮に入れるとすると、 V_{FD} は以下ようになる。

側ではフィードスルー電圧成分が変化し、式(2)と式(1)の差分として次に示すようなフィールドスルー面内差電圧 ΔV_{FD} が生じる。

スなまりを縮小する目的で、ゲート配線抵抗の低減化が挙げられる。これを実現する方法としては、配線幅もし

10

20

30

50

くは膜厚の拡大、及び比抵抗値の低い配線材料（例えば、アルミニウム、金等）への変更が挙げられる。しかし、配線膜厚の拡大及び材料の変更には製造プロセスの変更が伴ない、また配線幅の拡大には開口率の低下を伴うという問題が生じる。

【0007】このため、従来では、表示画面内の素子構造を表示画面内で変化させることでフィードスルー電圧成分が表示画面内で均一になるように補正する技術が提案されている。例えば、特開平2-306221号公報では、図13に示すように、信号線101と画素電極102との間に構成される二端子素子のアクティブマトリクス型素子のスイッチング素子103a~103cの面積をゲートパルス入力側から反対側へ大きくしている。すなわち、図1のa点、b点、c点の順に素子103a~103cの面積を大きくすることで、ゲートパルスなまりによる電圧降下の補正を行っている。しかし、スイッチング素子を大きくすると、ゲートパルスなまり時の画素電極への書き込みには有利になるが、TFTリークも大きくなることで、補正効果は相殺されると考えられる。

【0008】

【発明が解決しようとする課題】このように、従来の液晶表示装置におけるフィードスルー電圧の表面面内の均一化を図るために、配線幅や配線膜厚の拡大や比抵抗の低い配線材料を用いる場合には、製造プロセスの変更が伴い、そのための製造設備の変更や製造工程管理の変更が必要になるという問題が生じる。また、配線幅の拡大は、液晶表示に利用される面積、すなわち開口率の低下を伴うことになる。また、前記した公報に記載の技術では、スイッチング素子の面積を表示画面内で相違させることでゲートパルスなまり時の画素電極への書き込みには有利になるが、TFTリークも大きくなるために補正効果が相殺されることが考えられる。

【0009】本発明は、フィードスルー電圧成分を表示画面内で均一化することで、液晶への直流成分印加の表示面内ばらつきを抑え、液晶パネルの表示焼き付け、シミ等を改善して表示品質を改善した液晶表示装置を提供することである。

【0010】

【課題を解決するための手段】本発明の液晶表示装置は、TFT基板に形成される複数の画素電極のそれぞれに付加的に補助容量が設けられており、この補助容量は各画素電極に接続されるゲート信号線の入力端から離れるに従ってその容量値が小さくなるように構成したことを特徴とする。例えば、各画素電極ごとに付加的に設けられる補助容量が、先に駆動される隣接ゲート信号線と、このゲート信号線に対向される画素電極の対向面積により設定され、この対向面積がゲート信号線の入力端から離れるのに従って小さくされる。あるいは、各画素電極ごとに付加的に設けられる補助容量が、ゲート信号

線に沿って設けられた補助容量線と、この補助容量線に対向される画素電極の対向面積により設定され、この対向面積がゲート信号線の入力端から離れるのに従って小さくされる。この後者の場合、補助容量線を透明導電膜で形成し、あるいは補助容量線と画素電極との対向面積の面積変化領域を両基板間に設けられた遮光層領域内で行う構成とする。

【0011】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。図1は第1の実施形態の液晶表示装置、ここでは液晶パネル1の平面図であり、図示左辺と下辺にそれぞれ信号入力部2、3が設けられ、図示左辺の信号入力部2からゲートパルスが入力されるものとする。図2(a)~(c)は、図1のA、B、Cの各部位における画素部の拡大図であり、図3(a)~(c)はそれぞれのA1-A1'線、B1-B1'線、C1-C1'線の拡大断面図である。

【0012】図2および図3において、ガラス基板10上にゲート信号線11が所要のパターンに形成され、その一部を覆う図外のゲート酸化膜が形成され、アモルファスシリコン等からなるソース・ドレインが形成されてTFT12が形成される。そして、ドレインにはドレイン信号線13が接続され、かつこれを覆うように形成された層間絶縁膜14上には画素電極15が形成され、前記ソースに接続される。この画素電極15は、前段のTFT及び画素電極15に接続される画素のゲート信号線11とその一部において重なるようにパターン形成されており、保護膜16により被覆される。また、対向するガラス基板17には対向電極18が形成されており、この対向電極18と前記保護膜16の間隙内に液晶19が充填されている。

【0013】この構成により、図4に示すように、各画素においては、TFT12のソースには、ゲート・ソース間容量 C_{GS} と、液晶容量 C_{LC} 、ストレージ容量 C_{SC} が形成される。特に、ストレージ容量は、層間絶縁膜14を介してゲート信号線11と画素電極15が容量結合することで形成されている。そして、A部からC部へとゲートパルス入力部2から離れるに従ってゲート信号線11と画素電極15のオーバーラップ面積が小さくなるように構成されており、この結果、A部からC部に向けてストレージ容量が小さくされていることになる。

【0014】この構成によれば、ゲートパルス入力部2から離れるにしたがい、ゲートパルスのなまりによるTFTリークによりフィードスルー電圧成分は小さくなるが、ストレージ容量 C_{SC} の大きさがゲート信号入力部2から離れるにしたがって小さくされているため、このストレージ容量変化によって補正することができる。すなわち、図1のA部のフィードスルー電圧成分 V_{FDIN} およびストレージ容量 C_{SC} と、図1のC部のフィードスルー電圧成分 V_{FDOUT} およびストレージ容量 C_{SC}' のそれぞ

れについてみると、 V_{FDIN} 及び V_{FDOUT} はそれぞれ

$$V_{FDIN} = [C_{GS} / (C_{LC} + C_{SC} + C_{GS})] \cdot \Delta V_G \quad \dots (4)$$

$$V_{FDOUT} = (C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC} + C_{GS}) \quad \dots (5)$$

これら(4)式、(5)式において、ストレージ容量 C_{SC} 、 C_{SC}' が同じならば、 $V_{FDIN} > V_{FDOUT}$ なので、 V_{FDIN} 及び V_{FDOUT} が等しくなるように C_{SC} 、 C_{SC}' を定めれば、A部とC部でフィードスルー成分は均一にできる。

【0015】これを信号波形図で説明する。図5(a)は前記A部の信号波形を示しており、図5(b)はC部の信号波形を示している。図示上側の波形は信号線に入力されるゲートパルスGP及びドレインパルスDPの波形であり、図示下側の波形は画素電極に実際に書き込まれるソースパルスSPの波形である。A部ではソースパルスSPがゲートパルスGPの立ち下りの影響を受けるため、ソースパルスセンタSPCは、ドレインパルス

$$C_{SC}' = [(C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC} + C_{GS})] / (C_{GS} \Delta V_G) - (C_{LC} - C_{GS}) \quad \dots (6)$$

これにより、C部のストレージ容量値 C_{SC}' を求め、 C_{SC} と C_{SC}' の差をゲートパルス入力側から反対側へ段階的に縮めていく。具体的には図2に示したように、画素電極15と前段ゲート信号線11のオーバーラップ面積、すなわちオーバーラップ距離を段階的に小さくしていくことで、ストレージ容量を小さくしていく。

【0017】第1の実施形態の液晶パネルを実際に製造して、表示画面内のフィードスルー変化について測定を行った結果を図6に示す。従来品はゲートパルス入力側から離れて行くほどフィールドスルー値は小さくなっているが、本発明の液晶パネルではゲートパルス入力側からの長さにかかわらずA部、C部で同一の値になっており、本発明の効果が見られることがわかる。

【0018】図7は本発明の第2の実施形態を示す図であり、図7(a)～(c)は、図1のA、B、Cの各部に相当する拡大平面図、図8(a)～(c)はそれぞれA2-A2'線、B2-B2'線、C2-C2'線の拡大断面図である。この実施形態では、層間絶縁膜14の下側に補助容量線20を設け、これをゲートパルス入力側から反対側に向けて延設している。そして、図9に回路図を示すように、この容量補助線20と層間絶縁膜14を挟んで対向される画素電極15とでストレージ容量 C_{SC} を形成した構成とされている。そして、A部からC部に向けて、補助容量線20と画素電極15とのオーバーラップ面積を小さくし、ストレージ容量が小さくなるような構造にしている。なお、この構成では、A部、B部、C部とで光が透過する面積が異ならないように補助容量線20を透明電極、例えばITO等で形成している。

【0019】なお、図10(a)～(c)に図1のA、B、Cの各部に相当する拡大平面図とそのA3-A3'線拡大断面図を図11にそれぞれ示すように、対向ガ

(4)式、(5)式で示される。

センタDPCに対し実行的には V_{FDIN} だけ低くなる。それに対して、C部ではTFTリークがあるためゲートパルスGPの立ち下りの影響が小さくなる。そこで前述したように、TFTリーク分を見込んで、ゲートパルスGP入力側のストレージ容量に対して、反対側のストレージ容量を小さくすることで、ゲートパルスGPの立ち下りの影響を大きくし、 V_{FDIN} と V_{FDOUT} を同じ値にすることができる。

【0016】実際に補正するにあたっては、事前にシュミレーションや実験を実施し、 $\int I_{DS} dt$ を見積もった上で、ストレージ容量の変化量を定め、ゲートパルス入力側から離れるにしたがって、段階的にストレージ容量を小さくしていく。以下に C_{SC} と C_{SC}' の関係を示す。

ラス基板に設けて液晶開口部21を画成するための遮光部22の領域内だけで、補助容量線20と画素電極15のオーバーラップ面積を変化させて、開口部21内では面積が変化しないようにして表示面内の透過率変化を防ぐようにしてもよい。

【0020】

【発明の効果】以上説明したように本発明の液晶表示装置は、液晶パネルを構成するTFT基板に形成される複数の画素電極のそれぞれに付加的に補助容量が設けられており、この補助容量は各画素電極に接続されるゲート信号線の入力端から離れるに従ってその容量値が小さくなるように構成しているので、各画素電極においてはゲート信号入力部から離れるにしたがってストレージ容量が小さくされることになり、これにより表示画面内のフィードスルー電圧成分は均一化され、表示パネルの全表示画面内における表示焼き付きやシミを抑えることができ、表示品質を改善することができる効果がある。

【図面の簡単な説明】

【図1】本発明が適用される液晶パネルの平面図である。

【図2】図1のA、B、Cの各部における第1の実施形態の内部構成を示す拡大平面図である。

【図3】図2(a)～(c)のA1-A1'、B1-B1'、C1-C1'線の拡大断面図である。

【図4】画素部の回路図である。

【図5】駆動波形なまりによるフィードスルーの変化を説明するための図である。

【図6】水平方向のフィードスルー変化を示す図である。

【図7】図1のA、B、Cの各部における第2の実施形態の内部構成を示す拡大平面図である。

【図8】図7(a)～(c)のA2-A2'、B2-B

7

2', C2-C2'線の拡大断面図である。

【図9】画素部の回路図である。

【図10】図1のA、B、Cの各部における第3の実施形態の内部構成を示す拡大平面図である。

【図11】図10(a)のA3-A3'線の拡大断面図である。

【図12】従来の液晶パネルにおける画素部の等価回路図である。

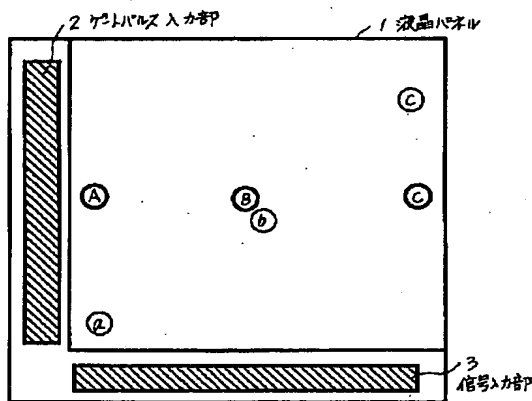
【図13】従来の液晶パネルの一例の示すための図1のa、b、cの各部における拡大断面図である。

【符号の説明】

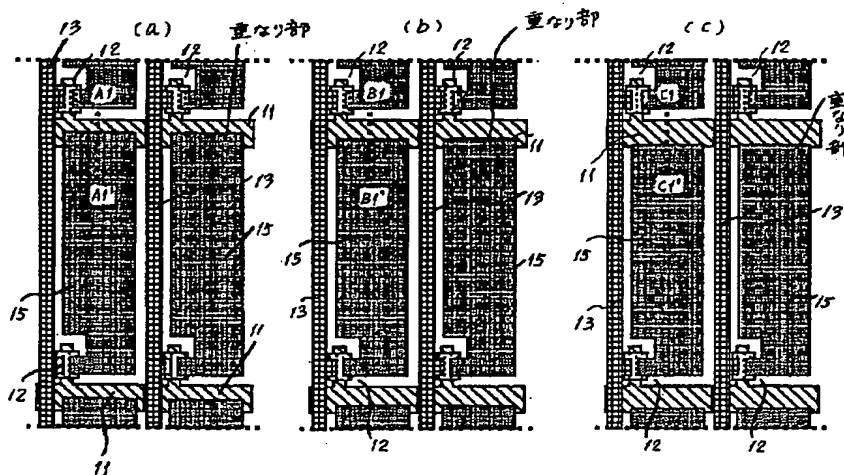
- 1 液晶パネル
- 2 ゲートパルス入力部
- 3 信号入力部
- 10 ガラス基板

- 11 ゲート信号線
- 12 TFT
- 13 ドレイン信号線
- 14 層間絶縁膜
- 15 画素電極
- 17 ガラス基板
- 18 対向電極
- 19 液晶
- 20 補助容量線
- 21 開口部
- 22 遮光膜
- C_{GS} ゲート・ソース間容量
- C_{LC} 液晶容量
- C_{SC} ストレージ容量

【図1】



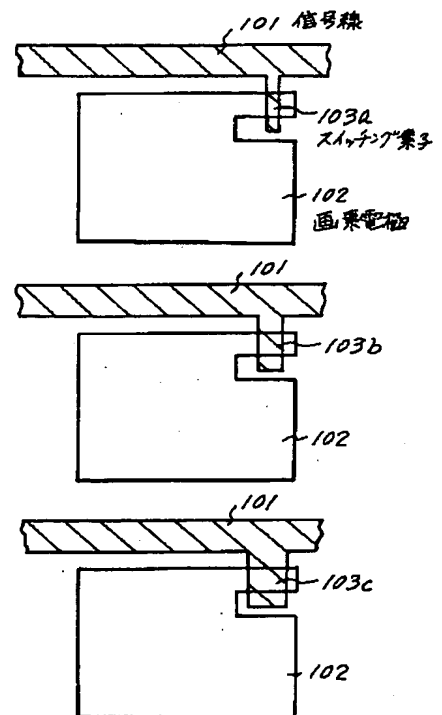
【図2】



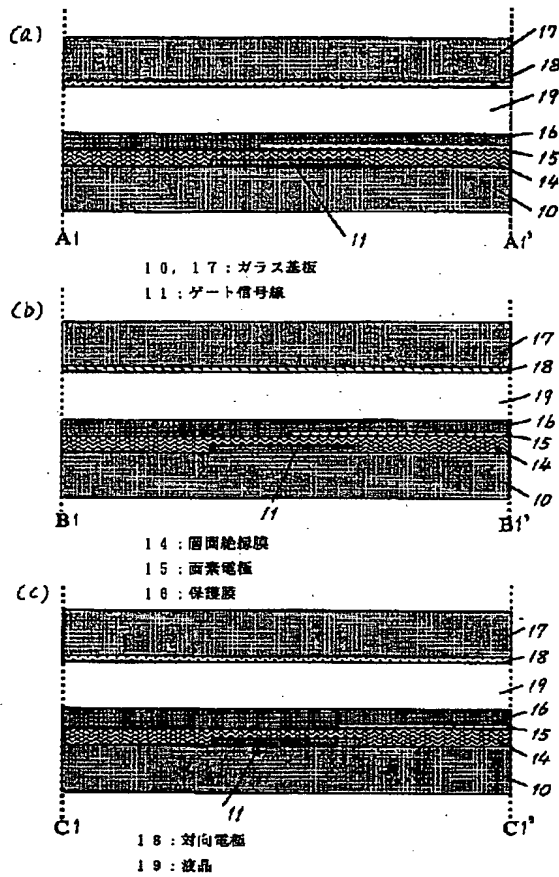
11:ゲート信号線 12:TFT 13:ドレイン信号線 15:画素電極

8

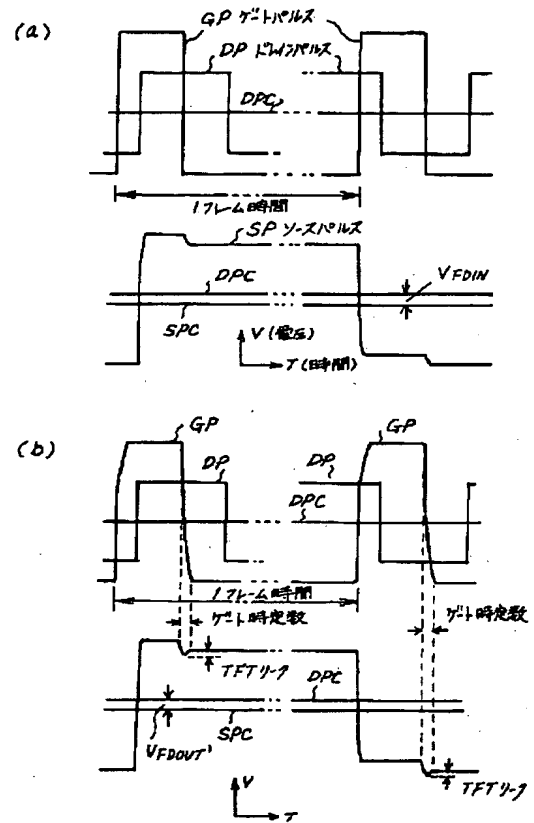
【図13】



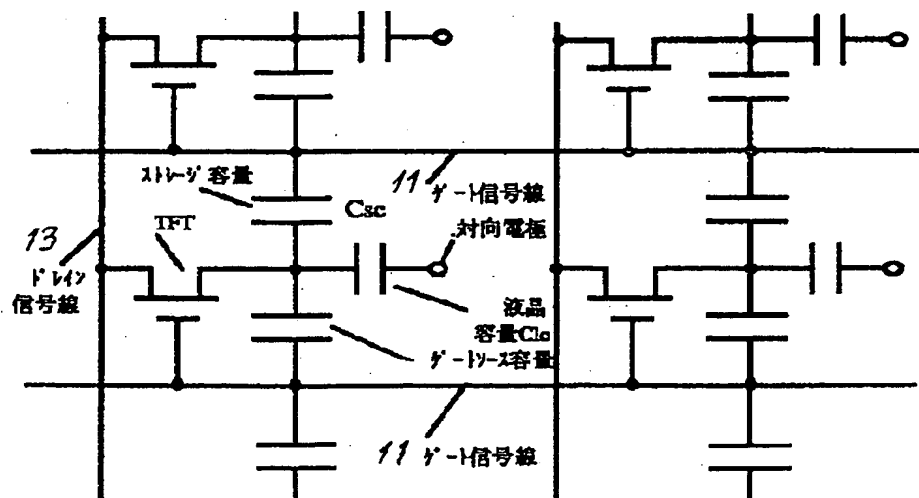
【図 3】



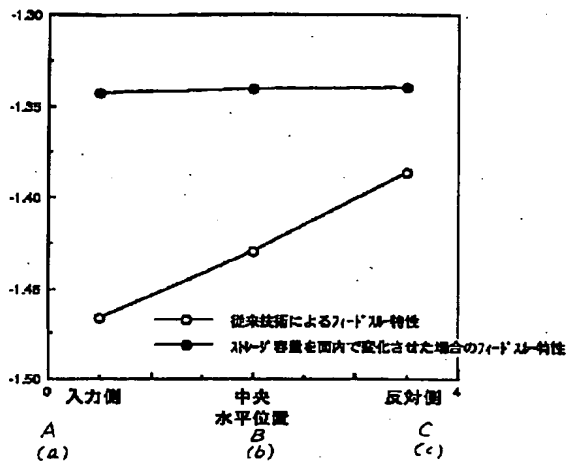
【図 5】



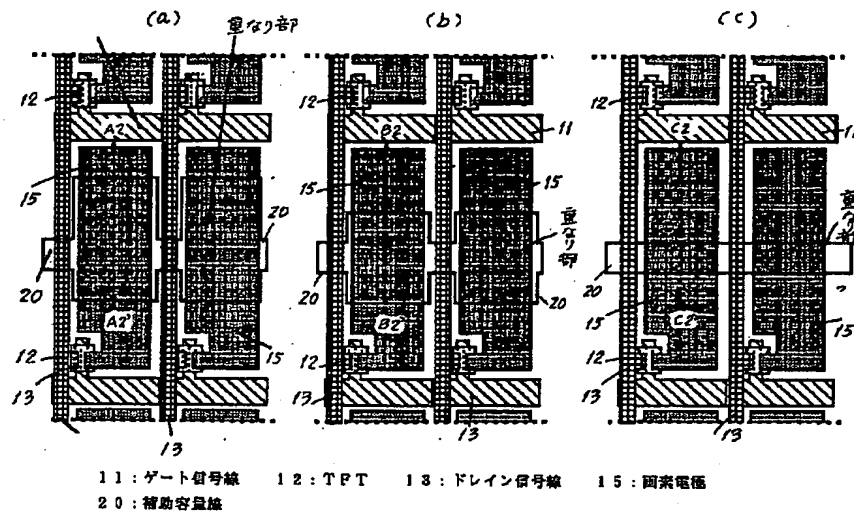
【図 4】



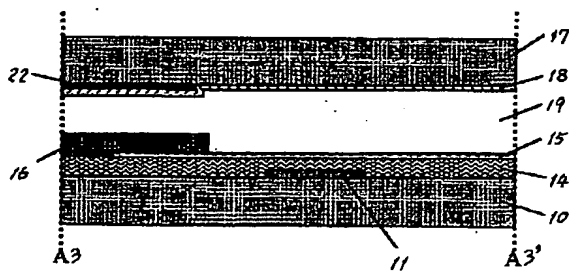
【図6】



【図7】

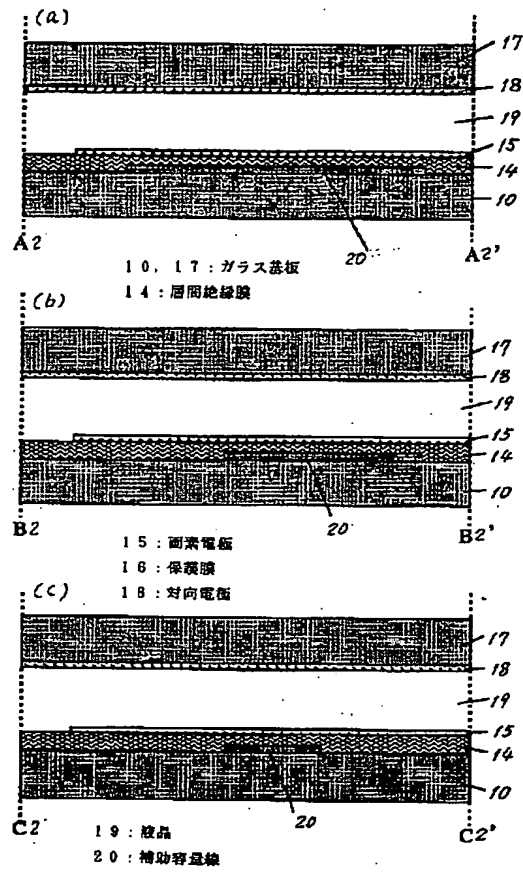


【図11】

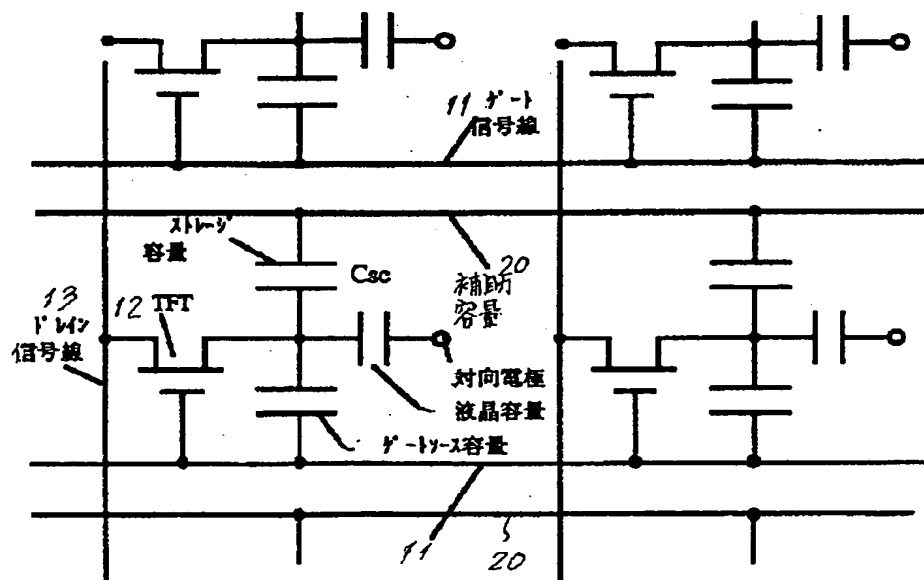


- 10, 17: ガラス基板
11: ゲート信号線
14: 層間絶縁膜
15: 画素電極
16: 保護膜
18: 対向電極
19: 被膜
22: 遮光膜

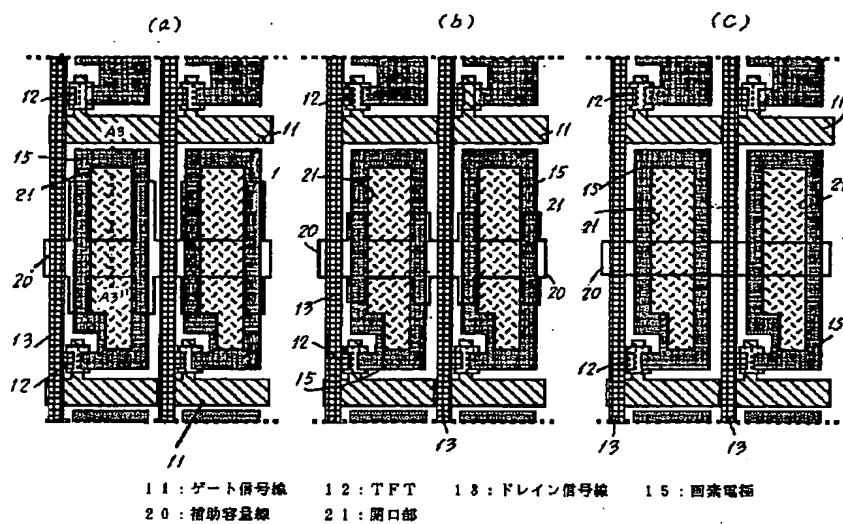
【図8】



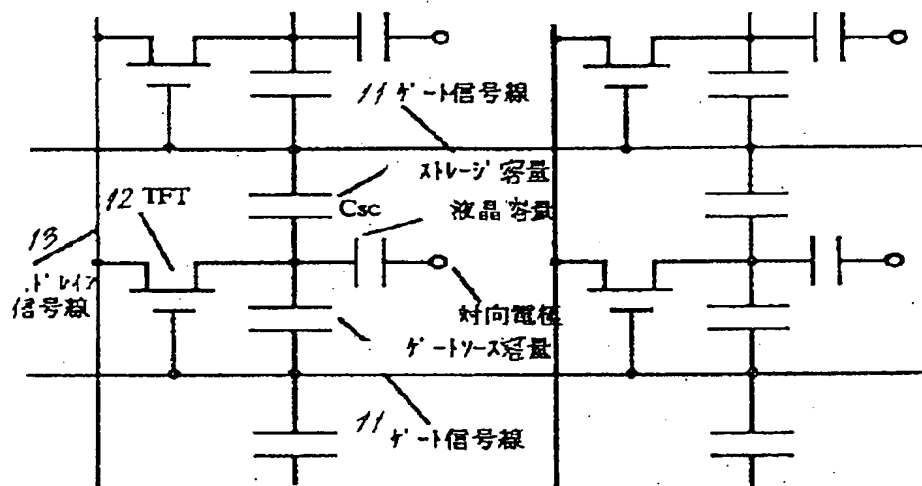
【図9】



【図10】



【図12】



フロントページの続き

(72) 発明者 助川 統
東京都港区芝五丁目7番1号 日本電気株
式会社内